

SEMICONDUCTOR DEVICE

Patent Number: JP8046188
Publication date: 1996-02-16
Inventor(s): GOCHO TETSUO
Applicant(s): SONY CORP
Requested Patent: JP8046188
Application Number: JP19940177055 19940728
Priority Number(s):
IPC Classification: H01L29/78; H01L21/027; H01L21/318; H01L21/768
EC Classification:
Equivalents:

Citation 2

Abstract

PURPOSE: To prevent hydrogen from being diffused into a gate insulating film with an antireflection film constituted of an SiON system thin film being kept existing by forming a permeation preventive film between the gate insulating film and an oxynitride silicon based thin film.

CONSTITUTION: A hydrogen permeation preventive film 22 constituted of an SiN based thin film, an antireflection film 10 constituted of an SiON based thin film, and an oxide silicon-made offset oxide film 11 are formed in this order on a gate electrode 2 and side faces of these films are coated with a side wall 13. Due to this structure, hydrogen is prevented from reaching at least a gate insulating film 7 just under the gate electrode 2 by the existence of the hydrogen permeation preventive film 22 even if the antireflection film 10 constituted of an SiON based thin film is kept existing. This means that the diffusion of hydrogen into the gate insulating film is prevented with the existence of the antireflection film constituted of an SiON based thin film.

【特許請求の範囲】

【請求項1】 基板上に、少なくとも、ゲート絶縁膜、ゲート電極、酸化シリコン系薄膜、上層配線が形成されてなる半導体装置において、前記ゲート電極がチタン層を含むことを特徴とする半導体装置。

【請求項2】 前記ゲート絶縁膜が酸化シリコン系材料膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極がチタンシリサイド層を含むことを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記酸化シリコン系薄膜は、ゲート電極をパターニングする際の反射防止膜であり、該ゲート電極と共通パターンをもって積層されてなることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体装置。

【請求項5】 前記酸化シリコン系薄膜は、上層配線をパターニングする際の反射防止膜であり、該上層配線と共通パターンをもって積層されてなることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、反射防止膜として酸化シリコン系薄膜を用いてパターニングがなされた半導体装置に関し、水素の拡散による電気特性の劣化が防止されたものである。

【0002】

【従来の技術】 半導体装置の配線材料としては、アルミニウム（Al）系合金や高融点金属シリサイド等が広く用いられているが、これらの光反射率の高い材料層の表面には、フォトリソグラフィの精度を向上させる目的で反射防止膜を設けることが必須となりつつある。これは、半導体装置のデザイン・ルールの微細化に伴ってフォトリソグラフィに対する露光波長が短波長側へシフトし、しかもパターン寸法がその露光波長に近づいているため、光反射率の高い材料層の上では安定した解像を達成することが困難となっているからである。

【0003】 特にエキシマ・レーザ光のように単色性の強い露光光源を用いた場合、反射防止膜を設けないと、定在波効果が強く現れてレジスト・パターンの変形が生じたり、得られる配線パターンの線幅が変動しやすくなる。

【0004】 反射防止膜としては、その光学定数を任意に設定できることから、酸化シリコン（SiON）系薄膜を用いることが注目されている。このSiON系薄膜は、例えばプラズマCVD法によって成膜することができ、膜中の水素含有量を変化させることによって、光学定数の制御が行えることから、上記エキシマ・レーザ光を用いたフォトリソグラフィへの適用も可能である。

【0005】 ここで、上述の反射防止膜が用いられたMOS型トランジスタの一例について説明する。図6に示されるように、このMOS型トランジスタは、素子分離領域2および酸化シリコン（SiO）系材料膜であるゲート絶縁膜3が形成されたシリコン（Si）基板1上に、ポリシリコン層4、タングステンシリサイド層105より構成されるゲート電極109が形成されてなる。そして、該ゲート電極109の上面にはSiON系薄膜よりなる反射防止膜7、両側面にはサイドウォール10が形成されており、この上方にはSiO系層間絶縁膜11、Al系配線層17が設けられている。

【0006】 該Al系配線層17は、SiO系層間絶縁膜11に開口されたコンタクト・ホール13を介してSi基板1におけるソース／ドレイン領域12と電気的に接続し、また、コンタクト・ホール14を介してゲート電極109と電気的に接続している。なお、Al系配線層17の下層には、バリアメタルとしてチタン（Ti）膜15および窒化チタン（TiN）膜16が設けられており、該Al系配線層17の上層には、SiON系薄膜よりなる反射防止膜18が設けられている。

【0007】 上述のように、図6に示されるMOS型トランジスタにおいては、反射防止膜7がゲート電極109上に該ゲート電極109と共通パターンをもって積層され、反射防止膜18がAl系配線層17上に該Al系配線層17と共通パターンをもって積層されている。

【0008】 上記反射防止膜7は、ゲート電極109のパターニングのためのフォトリソグラフィに際して用いられたものである。具体的には、図7に示されるように、Si基板1にポリシリコン層4、タングステンシリサイド層105を成膜した後、フォトリソグラフィを形成するに先立って該反射防止膜7を成膜し、タングステンシリサイド層105からの強い反射光を防止しながらフォトリソグラフィの選択露光を行う。そして、上記選択露光後、現像処理を経て形成されたフォトリソグラフィ・パターンをマスクとして、反射防止膜7、タングステンシリサイド層105、ポリシリコン層4をエッチングすることにより、ゲート電極109を所望形状にて形成できる。

【0009】 さらに、上記反射防止膜7は、ゲート電極109のパターニング終了後も存続することにより、ゲート電極109の上方に設けられたSiO系層間絶縁膜11にコンタクト・ホール13、14の開口を行うためのフォトリソグラフィを行うに際し、再びタングステンシリサイド105からの反射光を防止する。

【0010】 なお、ここでは、反射防止膜7はタングステンシリサイド層105からの光反射を防止するために設けられているが、エキシマ・レーザ光のような短波長の露光光に対してはポリシリコン層の光反射率も高いものとなるため、このような場合には、ポリシリコン層のみより構成されるゲート電極をパターニングするに際し

ても同様に反射防止膜が設けられる。

【0011】一方、A1系配線層17上に該A1系配線層17と共通パターンをもって積層された反射防止膜18は、A1系配線層17のパターニングのためのフォトリソグラフィに際して用いられたものである。具体的には、図8に示されるように、SiO系層間絶縁膜11にコンタクト・ホール13、14を開口した後、バリアメタルとしてTi膜15およびTiN膜16を成膜し、続いて、A1系配線層17したら、フォトレジスト塗膜19を形成するに先立って反射防止膜18を成膜する。そして、該反射防止膜18によってA1系配線層17からの強い反射光を防止しながら、フォトレジスト塗膜19の選択露光を行う。そして、選択露光後、現像処理を経て形成されたフォトレジストパターンをマスクとして、反射防止膜18、A1系配線層17、Ti膜15およびTiN膜16をエッチングすれば、図6に示されるように、A1系配線層17が所望形状にて形成される。

【0012】さらに、上述の反射防止膜18は、A1系配線層17のパターニング終了後にも存続されることによって、A1系配線層17上に図示しないSiO系層間絶縁膜を形成し、これにビア・ホールを開口するためのフォトリソグラフィを行うような場合、再びA1系配線層17からの強い反射光の影響を防止する働きをする。

【0013】

【発明が解決しようとする課題】以上のように、反射防止膜7、18は、ゲート電極109、A1系配線層17のパターニングに際して用いられた後、これらの上に設けられる材料層のパターニングに際しても使用できることから、製造されたMOS型トランジスタの中に存続されている。しかしながら、この反射防止膜7、18を構成するSiON系薄膜には、20%程度もの水素が含有されており、反射防止膜7、18として成膜された後、不純物の活性化アニールやパッシベーション等の加熱工程にて、水素を周囲へ拡散させてしまう。そして、このようにして拡散した水素がゲート絶縁膜3にまで達すると、いわゆるホットキャリア耐性を劣化させる虞れがある。

【0014】これを防止するには、反射防止膜を使用する度に、これをエッチング除去することが考えられるが、反射防止膜とその直下の材料層との選択比がとれなかったり、同一の反射防止膜を1回しか使用できなくなるため、フォトリソグラフィの度に該反射防止膜の成膜工程を要することになるといった問題もある。

【0015】そこで本発明は、かかる従来の実情に鑑みて提案されたものであり、SiON系薄膜よりなる反射防止膜を存続させたままでも、ゲート絶縁膜への水素の拡散が防止できる構造を有する半導体装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明に係る半導体装置

は、上述の目的を達成するために提案されたものであり、基板上に、少なくとも、ゲート絶縁膜、ゲート電極、SiON系薄膜、上層配線が形成されてなる半導体装置において、前記ゲート電極がTi層を含むものである。特に、Si基板上にSiO系材料膜よりなるゲート絶縁膜が形成されている場合、ゲート電極の一部がTi層にて構成されて好適である。

【0017】ゲート電極は、通常、ポリシリコン層あるいはアモルファスシリコン層より構成され、低抵抗化を図る場合には、さらに高融点金属シリサイドが積層されてなる。本発明においては、ポリシリコン層あるいはアモルファスシリコン層上にTi層が積層されてゲート電極が構成される。該Ti層は導電材料層であるため、当然ゲート電極の一部として機能するが、SiON系薄膜から拡散してくる水素を吸収することができることから、ゲート絶縁膜への水素到達を防止するトラップとしても機能する。

【0018】そして、このゲート電極はチタンシリサイド層を含むものとされて好適である。即ち、ポリシリコン層あるいはアモルファスシリコン層上にチタンシリサイド層が設けられれば、ゲート電極はポリサイド構造となり、低抵抗化が図られる。

【0019】なお、該チタンシリサイド層を形成するには、CVDによってチタンシリサイド層として成膜してもよいが、ポリシリコン層あるいはアモルファスシリコン層上にTi層を成膜し、熱処理により、両層の界面にてTiのシリサイデーションを行う方が簡便であり、この方法を適用すると、通常のポリサイド構造を有するゲート電極の形成プロセスに比して生産性が劣化することもない。但し、シリサイデーションを行う場合、ポリシリコン層あるいはアモルファスシリコン層、Ti層のどちらも全て消費されてしまうことがないように、膜厚設定および熱処理の条件を適正化しておくことが必要である。

【0020】ところで、SiON系薄膜をプラズマCVDにて成膜すると、原料ガスの流量比に基づいてその原子組成比を調整でき、その光学定数を制御することができる。このため、該SiON系薄膜を反射防止膜として最適な膜厚にて設けると、下地材料層や使用する露光光に応じた最適な露光が行える。

【0021】特に、ゲート電極を微細にパターニングするためのフォトリソグラフィに際しては、ゲート電極を構成する材料層からの反射光を防止するために、反射防止膜としてSiON系薄膜が設けられて好適である。そして、この反射防止膜をフォトリソグラフィ後も存続させると、該反射防止膜はゲート電極と共通パターンをもって積層されることとなる。

【0022】また、上層配線をパターニングするためのフォトリソグラフィに際しても、A1等の光反射率の高い上層配線からの強い反射光を防止するために、反射防

止膜としてSiON系薄膜が設けられて好適である。そして、この反射防止膜をフォトリソグラフィ後も存続させれば、該反射防止膜は上層配線と共通パターンをもって積層されることとなる。なお、上層配線上にさらに層間絶縁膜を設け、該層間絶縁膜のパターニングのためのフォトリソグラフィを行うならば、該上層配線上に存続する反射防止膜によって、再び上層配線からの反射光を防止することができる。

【0023】但し、上層配線を成膜するに際し予めバリアメタルとしてTi膜が設けられている場合には、このTi膜によっても水素の吸収が起こるため、上層配線上のSiON系薄膜からゲート絶縁膜へ到達する水素は極めて少なくなる。

【0024】

【作用】Ti層には水素を吸収する性質があるため、本発明を適用して、ゲート電極の一部をTi層より構成すると、該ゲート電極より上方に設けられたSiON系薄膜から拡散する水素がゲート絶縁膜へ到達しにくくなる。このため、ゲート絶縁膜がSiO系材料膜からなる場合にも、ホットキャリア耐性が向上し、半導体装置の信頼性を高めることができる。

【0025】また、ゲート電極にチタンシリサイド層が含まれると、ゲート電極をポリシリコン層あるいはアモルファスシリコン層のみから構成した場合に比して、低抵抗化を図ることができる。

【0026】ところで、本発明に係る半導体装置は、SiON系薄膜がゲート電極のパターニングに際して反射防止膜として用いられる場合と、SiON系薄膜が配線のパターニングに際して反射防止膜として用いられる場合のいずれの場合においても、また、両者に用いられる場合においても、ホットキャリア耐性が劣化することはない。これは、以下のような理由による。

【0027】ゲート絶縁膜において膜質が最も厳しく管理されるべき部分は、チャネル領域に接する部分である。なお、チャネル領域は、上記ソース領域とドレイン領域との間に形成される領域であるため、該ソース領域と該ドレイン領域の広がりによって規制される。このソース領域とドレイン領域は、通常、ゲート電極をマスクとして基板に不純物を注入し、さらに該不純物の活性化および拡散を行うことにより設けられるため、チャネル領域はゲート電極のエッジよりも多少内側に存在することになる。本発明においては、Ti層がゲート電極パターンを有しているため、チャネル領域に接する部分におけるゲート絶縁膜は、ゲート電極上のSiON系薄膜から拡散してくる水素からも、上層配線上のSiON系薄膜から拡散してくる水素からもほぼ守られることとなる。そして、このようにチャネル領域に接する部分におけるゲート絶縁膜の膜質が良好に保てれば、ホットキャリア耐性を向上させることができる。

【0028】

【実施例】以下、本発明を適用した具体的な実施例について、図面を参照しながら説明する。

【0029】本実施例は、MOS型トランジスタに対して本発明を適用したものであり、反射防止膜として設けられたSiON系薄膜から拡散する水素をゲート絶縁膜に到達させないための構造を有するものである。

【0030】このMOS型トランジスタは、図1に示されるように、素子分離領域2およびゲート絶縁膜3が形成されたSi基板1上に、ポリシリコン層4、Ti層5、これらに挟み込まれたチタンシリサイド層6よりなるゲート電極9が形成されてなる。該ゲート電極9の上にはSiON系薄膜よりなる反射防止膜7が、該ゲート電極9と共通パターンをもって積層されており、該ゲート電極の両壁面にはサイドウォール10が設けられている。さらに、これらの上には、SiO系層間絶縁膜11、Al系配線層17が積層されている。そして、該Al系配線層17は、SiO系層間絶縁膜11に開口されたコンタクト・ホール13を介してソース/ドレイン領域12と電気的に接続され、コンタクト・ホール14を介してゲート電極9と電気的に接続されている。

【0031】なお、Al系配線層17の下層には、バリアメタルとして用いられたTi膜15およびTiN膜16が設けられており、該Al系配線層17上には、SiON系薄膜よりなる反射防止膜18が、該Al系配線層17と共通パターンをもって積層されている。

【0032】このような構成を有するMOS型トランジスタについて、電気特性の測定を行ったところ、ゲート電極9中にTi層5を有さない従来型のMOS型トランジスタに比して、大幅にホットキャリア耐性が向上した。これより、SiON系薄膜よりなる反射防止膜7、18が存続されても、ゲート電極9に含まれるTi層5によってゲート絶縁膜3への水素の到達が防止されたことがわかった。

【0033】なお、以上のような構成を有するMOS型トランジスタは、下記のようにして製造することができる。以下、図2～図5を用いて製造プロセスについて説明する。

【0034】先ず、図2に示されるように、素子分離領域2、ゲート絶縁膜3が形成されたSi基板1に対し、ゲート電極9の構成材料層であるn型のポリシリコン層4、チタンシリサイド層6、Ti層5を形成し、さらにSiON系薄膜よりなる反射防止膜7、フォトレジスト塗膜8を形成した。

【0035】具体的には、Si基板1に対し、いわゆるLOCOS法を適用した選択酸化によって、270nmなる厚さの素子分離領域2を形成し、H₂ガスとO₂ガスの雰囲気下、850℃にて熱酸化によって、8nmなるゲート絶縁膜3を形成した。その後、原料ガスとしてSiH₄、PH₃を用い、550℃にてCVDを行って、n型のポリシリコン層4を70nmなる膜厚に成膜

し、続いて、スパッタリングによりTi層5を30~100nmなる膜厚に成膜した。

【0036】そして、600℃にて30秒、800℃にて20秒、ラビット・サーマル・アニール(RTA)を行うことにより、ポリシリコン層4とTi層5との界面にて、Tiのシリサイド化を行わせ、チタンシリサイド層6を形成した。その後、原料ガスとしてSiH₄とN₂Oを用い、360℃にてプラズマCVDを行うことにより、Ti層5の上にSiON系薄膜よりなる反射防止膜7を成膜してから、フォトレジスト塗膜8を形成した。なお、反射防止膜7の光学定数は、複素屈折率の実数部nが2.10、虚数部係数kが0.62となるように設定した。

【0037】次に、図3に示されるように、ゲート電極9のパターニングを行った。具体的には、反射防止膜7によってTi層5からの強い反射光を防止しながら、248nmなる波長の露光光を用いてフォトレジスト塗膜8の選択露光を行った。続いて、現像処理を経て形成されたフォトレジスト・パターンをマスクとして、反射防止膜7、Ti層5、チタンシリサイド層6、ポリシリコン層4に対して、反応性イオンエッチング(RIE)を行った。これにより、所望形状にパターニングされたゲート電極9が形成できた。なお、反射防止膜7の除去を行わなかったため、反射防止膜7はゲート電極9上に存続された状態となった。

【0038】その後、図4に示されるように、サイドウォール10、SiO系層間絶縁膜11を形成した。具体的には、以上のようにして形成されたゲート電極9を被覆するとくウェハ全面に亘って、CVDによりSiO₂層を150nm成膜した後、異方性エッチングを行うことにより、ゲート電極9の両壁面を被覆するサイドウォール10を形成した。続いて、CVDによりSiO系層間絶縁膜11を300nmなる膜厚にて成膜した。なお、サイドウォール10の形成前には、Asをイオン加速エネルギー20keV、ドーズ量 6×10^{12} 個/cm²なる条件にてイオン注入することにより浅い拡散領域を形成し、サイドウォール10の形成後には、Asをイオン加速エネルギー20keV、ドーズ量 3×10^{13} 個/cm²なる条件にてイオン注入することにより深い拡散領域を形成し、その後、1050℃にて10秒間、RTAを行って、注入した不純物を活性化および拡散させることによって、ソース/ドレイン領域12を形成した。

【0039】そして、図5に示されるように、ソース/ドレイン領域12やゲート電極9に電氣的に接続するAl系配線層17を形成した。

【0040】具体的には、先ず、上記SiO系層間絶縁膜11に対するフォトリソグラフィおよびエッチングにより、ソース/ドレイン領域12に臨むコンタクト・ホール13、ゲート電極9に臨むコンタクト・ホール14

をそれぞれ開口した。なお、このコンタクト・ホール13、14を開口するためのフォトリソグラフィにおいても、反射防止膜7によりTi層5からの反射光を防止した。

【0041】その後、ウェハ表面から該コンタクト・ホール13、14内部を被覆するとく、スパッタリングによりTi膜15を30nm、TiN膜16を70nmなる膜厚にて成膜し、続いて、上記コンタクト・ホール13、14内部を埋め込みながら、1%Siを含むAl系配線層17をスパッタリングにて300nmなる膜厚に成膜した。そして、ゲート電極9上の反射防止膜7を成膜するのと同様に、上記Al系配線層17上に反射防止膜18を23nmなる膜厚にて成膜してから、フォトレジスト塗膜18を形成した。なお、反射防止膜18の光学定数は、複素屈折率の実数部nが2.16、虚数部係数kが0.875となるように設定した。

【0042】上述のようなウェハに対して、反射防止膜18によりAl系配線層17からの強い反射光を防止しながら、248nmなる露光光を用いてフォトレジスト塗膜19の選択露光を行い、続いて、現像処理を施してフォトレジスト塗膜19を所望形状にパターニングした。そして、これをマスクとして、反射防止膜18、Al系配線層17、Ti膜15およびTiN膜16をRIEによってエッチングすることによって、Al系配線層17を所望形状にパターニングした。その後、フォトレジスト塗膜19を除去し、N₂ガス中にH₂ガスを2%添加したガス雰囲気下、400℃にてアニールを行うことにより、図1に示されたMOS型トランジスタが完成した。

【0043】なお、反射防止膜18の除去を行わなかったため、該反射防止膜18はAl系配線層17上に存続された状態となった。この反射防止膜18は、パターニングされたAl系配線層17を被覆して設けられたSiO系層間絶縁膜(図示せず)にピア・ホールを開口するためのパターニングを行う場合にも、Al系配線層17からの反射光を防止する働きをする。

【0044】以上、本発明に係る半導体装置を適用した具体例について説明したが、本発明は上述の実施例に限定されるものではなく、種々の変形変更が可能である。本発明は該反射防止膜から拡散する水素を吸収可能なTi層5がゲート電極9の一部として形成されたものであることから、該Ti層5よりも上層であれば、いずれの位置に反射防止膜が存続されていてもよく、ゲート電極9およびAl系配線層17上に限られない。もちろん、ゲート電極9のパターン寸法が大きく、該ゲート電極9のパターニングに際して反射防止膜7が必要ない場合等、上述した位置に反射防止膜が設けられていなくともよい。また、ゲート電極9におけるポリシリコン層4の代わりにアモルファスシリコン層を設ける等、ウェハの構成や各材料層の成膜条件も上述した実施例に限られな

い。

【0045】

【発明の効果】以上の説明から明らかなように、本発明に係る半導体装置においては、SiON系薄膜から拡散する水素がゲート絶縁膜へ到達しにくいいため、SiON系薄膜を存続させたままでも半導体装置のホットキャリア耐性が劣化しない、即ち、従来の半導体装置に比して大幅にホットキャリア耐性を向上させることができる。

【0046】また、ゲート電極の一部を構成するチタンシリサイド層は、ポリシリコン層あるいはアモルファスシリコン層上にTi層を成膜した後、熱処理することによって、両者の界面に容易に生成させることができ、該チタンシリサイド層を形成することにより、ゲート電極の低抵抗化を図ることができる。

【0047】さらに、本発明の半導体装置においては、SiON系薄膜の存続によるホットキャリア耐性の劣化が防がれているため、該半導体装置を製造するに際して、SiON系薄膜の除去工程を削減できる。また、SiON系薄膜を存続させることにより、該SiON系薄膜を次のフォトリソグラフィにも使用することができ、生産性にも優れている。

【0048】したがって、本発明を適用すると、非常に信頼性の高い半導体装置を大幅なコスト上昇を伴わずに提供可能となり、工業的価値が極めて高い。

【図面の簡単な説明】

【図1】本発明の半導体装置の一構成例を示す模式的断面図である。

【図2】図1のウェハの製造プロセスを示すものであり、ポリシリコン層とTi層との界面にてチタンシリサイド層が形成されてから、反射防止膜が成膜され、フォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図3】図2のウェハにおいて、ゲート電極のパターニ

ングがなされた状態を示す模式的断面図である。

【図4】図3のウェハにおいて、サイドウォール、ソース/ドレイン領域、SiO系層間絶縁膜が形成された状態を示す模式的断面図である。

【図5】図4のウェハにおいて、ゲート電極およびソース/ドレイン領域と電氣的に接続するAl系配線層が形成された状態を示す模式的断面図である。

【図6】従来の半導体装置の一構成例を示す模式的断面図である。

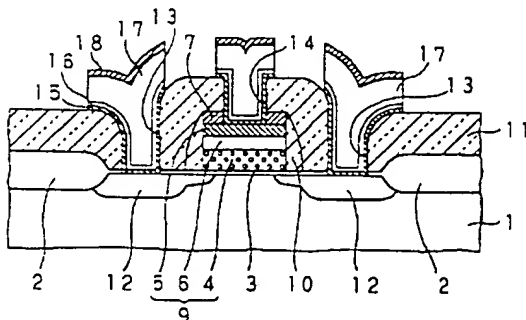
【図7】図6のウェハの製造プロセスを示すものであり、ポリシリコン層とタングステンシリサイド層、反射防止膜が成膜され、フォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図8】図6のウェハにおいて、ソース/ドレイン領域、SiO系層間絶縁膜が形成され、ゲート電極およびソース/ドレイン領域と電氣的に接続するAl系配線層が形成された状態を示す模式的断面図である。

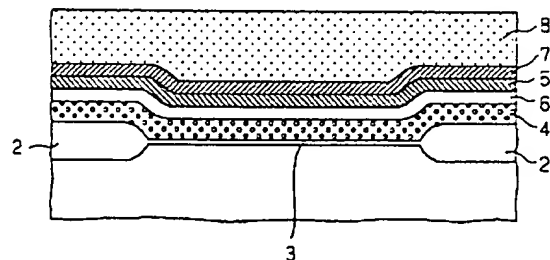
【符号の説明】

- 1 Si基板
- 2 素子分離領域
- 3 ゲート絶縁膜
- 4 ポリシリコン層
- 5 Ti層
- 6 チタンシリサイド層
- 7, 18 反射防止膜
- 8, 19 フォトレジスト塗膜
- 10 サイドウォール
- 11 SiO系層間絶縁膜
- 12 ソース/ドレイン領域
- 13, 14 コンタクト・ホール
- 15 Ti膜
- 16 TiN膜
- 17 Al系配線層

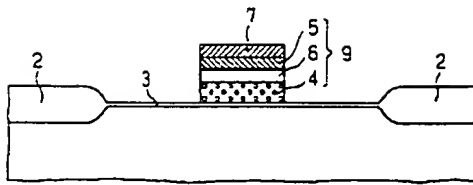
【図1】



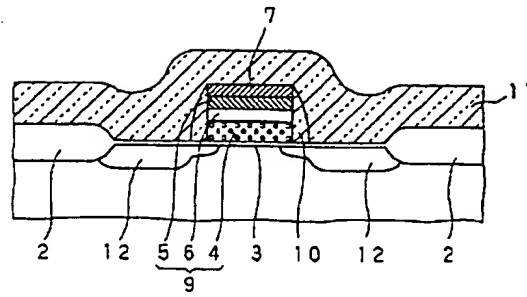
【図2】



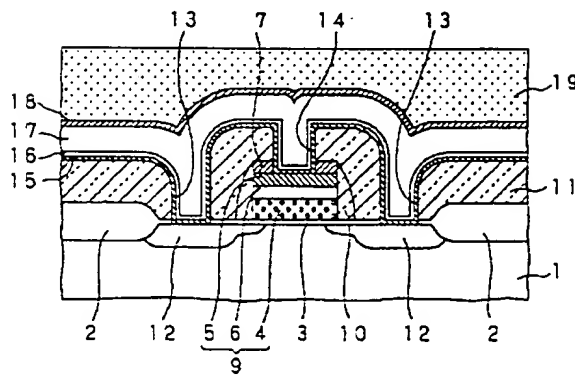
【図3】



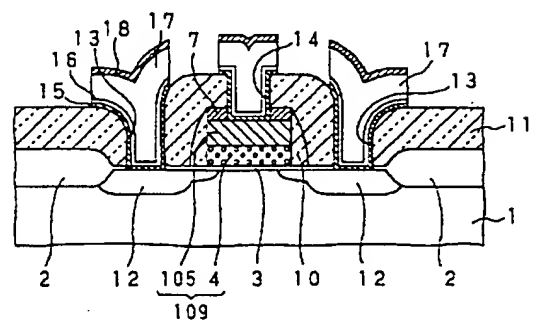
【図4】



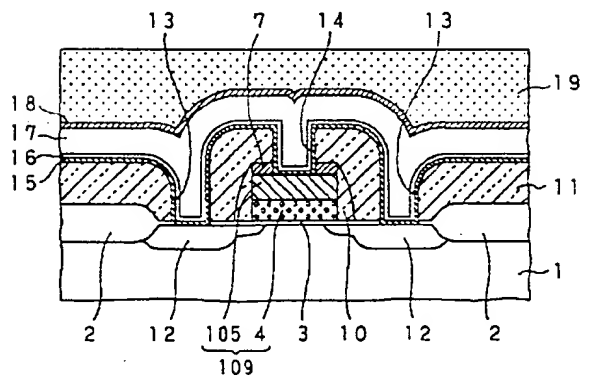
【図5】



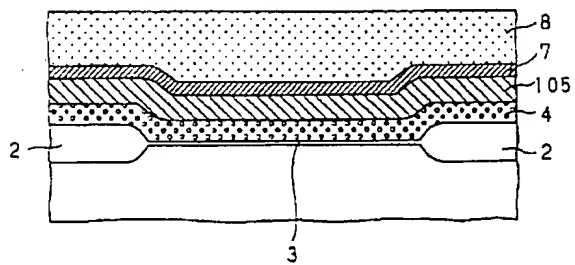
【図6】



【図8】



【図7】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

H 0 1 L 21/88

R